

BALL GRID ARRAY TYPE SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

Patent Number: JP8046077
Publication date: 1996-02-16
Inventor(s): SUMIYA AKIRO; others: 02
Applicant(s): HITACHI LTD
Requested Patent: ☐ JP8046077
Application Number: JP19940174220 19940726
Priority Number(s):
IPC Classification: H01L23/12; H01L21/66
EC Classification:
Equivalents: JP3311867B2

Abstract

PURPOSE:To avoid oxide films produced by a burn-in test by a method wherein the surfaces of bump electrodes do not contain oxide films which are formed by the exposure to a high temperature atmosphere at the time of the burn-in test.

CONSTITUTION:In appearance, a ball grid array(BGA) type semiconductor device is composed of a wiring board 1, a sealing unit 7 which is made of resin and formed on the main surface 1a side of the wiring board 1, bump electrodes 9 which are arranged into an array on the rear surface 1b side of the wiring board 1 and an insulating film 12 covering the side surfaces of the wiring board 1. In the finished product state, only thin oxide films exist on the surfaces of the bump electrodes 9 because the bump electrodes 9 are formed in a non-oxidizing atmosphere after a burn-in test. The oxide films which are formed on the surfaces of the bump electrodes 9 in an operational test and in a mounting process are natural oxide films and very thin. That is, as the bump electrodes 9 of the BGA type semiconductor device 10 are formed after the burn-in test, only the thin natural oxide films are formed on the surfaces of the formed bump electrodes 9 and thick oxide films which are formed by the burn-in test do not exist.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-46077

(43)公開日 平成8年(1996)2月16日

| | | | | |
|--------------------------|------|---------|--------------------------|-----------------------------|
| (51)Int.Cl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
| H 0 1 L 23/12 | | | | |
| 21/66 | H | 7514-4M | | |
| // H 0 1 L 21/321 | | | | |
| | | 9169-4M | H 0 1 L 23/ 12 21/ 92 | L 6 0 2 E |
| | | 審査請求 | 未請求 | 請求項の数14 O L (全 17 頁) 最終頁に続く |

(21)出願番号 特願平6-174220

(22)出願日 平成6年(1994)7月26日

(71)出願人 000005108

株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(72)発明者 角谷 彰朗

東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 安生 一郎

東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 有田 順一

東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内

(74)代理人 弁理士 秋田 収喜

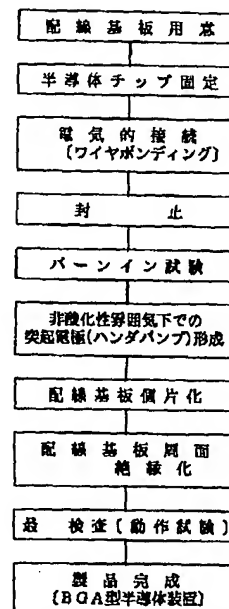
(54)【発明の名称】 ボールグリッドアレイ型半導体装置およびその製造方法

(57)【要約】

【目的】 パーンイン試験時に起因する突起電極表面の酸化膜発生防止。

【構成】 配線基板の主面に封止体を有しかつ裏面にアレイ状に突起電極を有するボールグリッドアレイ型半導体装置 (BGA型半導体装置) の製造方法であって、配線基板用意、半導体チップ固定、ワイヤボンディング、封止、パーンイン試験、非酸化性雰囲気下での突起電極 (ハンダパンク) 取付、配線基板個片化、配線基板側面絶縁化および動作試験の各工程を経てBGA型半導体装置を製造する。突起電極は動作試験後に取り付けられるため、動作試験時の高温雰囲気中に起因する突起電極の表面の酸化がなく、突起電極の表面の酸化膜は自然酸化膜だけとなり薄い。動作試験時コンタクト抵抗が低く試験が安定する。BGA型半導体装置の実装も表面酸化膜が薄いことから実装の信頼性も高くなる。

図 1



1

【特許請求の範囲】

【請求項1】 主面および裏面に配線を有する配線基板と、前記配線基板の主面に固定された半導体チップと、前記半導体チップの電極と前記配線基板の配線とを電気的に接続する接続手段と、前記配線基板の主側に張り付くように設けられかつ前記半導体チップおよび前記接続手段を覆う樹脂からなる封止体と、前記配線基板の裏面に複数設けられた突起電極とを有するボールグリッドアレイ型半導体装置であって、前記突起電極の表面がパ

ーンイン試験時の高温雰囲気中に晒されて形成される酸化膜を含まないことを特徴とするボールグリッドアレイ型半導体装置。

【請求項2】 主面および裏面に配線を有する配線基板と、前記配線基板の主面に固定された半導体チップと、前記半導体チップの電極と前記配線基板の配線とを電気的に接続する接続手段と、前記配線基板の主側に張り付くように設けられかつ前記半導体チップおよび前記接続手段を覆う樹脂からなる封止体と、前記配線基板の裏面に複数設けられた突起電極とを有するボールグリッドアレイ型半導体装置であって、前記突起電極の表面がパ

ーンイン試験時の高温雰囲気中に晒されて形成される酸化膜を含まないとともに、前記配線基板の側面は絶縁膜で覆われていることを特徴とするボールグリッドアレイ型半導体装置。

【請求項3】 主面および裏面に配線を有する配線基板と、前記配線基板の主面に固定された半導体チップと、前記半導体チップの電極と前記配線基板の配線とを電気的に接続する接続手段と、前記配線基板の主側に張り付くように設けられかつ前記半導体チップおよび前記接続手段を覆う樹脂からなる封止体と、前記配線基板の裏面に複数設けられた突起電極とを有するボールグリッドアレイ型半導体装置であって、前記突起電極の表面がパ

ーンイン試験時の高温雰囲気中に晒されて形成される酸化膜を含まないとともに、前記配線基板の側面は絶縁膜で覆われ、かつ前記配線基板は多層配線基板構造となっていることを特徴とするボールグリッドアレイ型半導体装置。

【請求項4】 主面および裏面に配線を有する配線基板を用意する工程と、前記配線基板の主面に半導体チップを取り付ける工程と、前記配線基板の配線と前記半導体チップの電極の電気的接続をとる工程と、前記配線基板の主面を封止体を張り付け形成して前記半導体チップや前記電気的な接続手段を封止体で覆う工程と、前記半導体チップを搭載した配線基板をパーンイン試験する工程と、前記パーンイン試験後前記配線基板の裏面に突起電極を設ける工程とを有することを特徴とするボールグリッドアレイ型半導体装置の製造方法。

【請求項5】 主面および裏面に配線を有するとともに、ボールグリッドアレイ型半導体装置形成領域と除去領域とを有しかつ前記除去領域にパーンイン試験用端子

2

を有する配線基板を用意する工程と、前記配線基板の主面に半導体チップを取り付ける工程と、前記配線基板の配線と前記半導体チップの電極の電気的接続をとる工程と、前記配線基板の主面を封止体を張り付け形成して前記半導体チップや前記電気的な接続手段を封止体で覆う工程と、前記半導体チップを搭載した配線基板をパーンイン試験する工程と、前記パーンイン試験後前記配線基板の裏面に突起電極を設ける工程と、前記除去領域を切断除去する工程とを有することを特徴とするボールグリッドアレイ型半導体装置の製造方法。

【請求項6】 主面および裏面に配線を有するとともに、ボールグリッドアレイ型半導体装置形成領域と除去領域とを有しかつ前記除去領域にパーンイン試験用端子を有する配線基板を用意する工程と、前記配線基板の主面に半導体チップを取り付ける工程と、前記配線基板の配線と前記半導体チップの電極の電気的接続をとる工程と、前記配線基板の主面を封止体を張り付け形成して前記半導体チップや前記電気的な接続手段を封止体で覆う工程と、前記半導体チップを搭載した配線基板をパーンイン試験する工程と、前記パーンイン試験後前記配線基板の裏面に突起電極を設ける工程と、前記除去領域を切断除去する工程とを有するボールグリッドアレイ型半導体装置の製造方法であって、前記除去領域においてボールグリッドアレイ型半導体装置の外部電極に接続される配線の一部が共通に用いられる他の配線に接続されていることを特徴とするボールグリッドアレイ型半導体装置の製造方法。

【請求項7】 前記請求項6記載のボールグリッドアレイ型半導体装置の製造方法において、前記配線基板には複数のボールグリッドアレイ型半導体装置形成領域が設けられていることを特徴とするボールグリッドアレイ型半導体装置の製造方法。

【請求項8】 前記請求項4乃至請求項7のうちのいずれか1項に記載のボールグリッドアレイ型半導体装置の製造方法において、前記配線基板の除去領域を切断除去した後、前記配線基板の側面を電気的絶縁膜で覆うことを特徴とするボールグリッドアレイ型半導体装置の製造方法。

【請求項9】 前記請求項4乃至請求項8のうちのいずれか1項に記載のボールグリッドアレイ型半導体装置の製造方法において、前記配線基板の一部はボールグリッドアレイ型半導体装置形成領域と切断除去される除去領域とからなるとともに、前記除去領域にはパーンイン試験用端子が設けられ、かつ前記一部のパーンイン試験用端子は前記除去領域内で他のパーンイン試験用端子から延在する配線に接続されていることを特徴とする配線基板。

【請求項10】 前記請求項4乃至請求項8のうちのいずれか1項に記載のボールグリッドアレイ型半導体装置の製造方法において、前記配線基板の一部はボールグリ

ッドアレイ型半導体装置形成領域と切断除去される除去領域とからなるとともに、前記除去領域にはバーンイン試験用端子が設けられ、かつ前記一部のバーンイン試験用端子は前記除去領域内で他のバーンイン試験用端子から延在する配線に接続され、さらに前記配線基板には複数のボールグリッドアレイ型半導体装置形成領域が設けられ各ボールグリッドアレイ型半導体装置形成領域の配線の一部は他のボールグリッドアレイ型半導体装置形成領域の配線と前記除去領域で接続されていることを特徴とする配線基板。

【請求項11】 主面および裏面に配線を有する配線基板と、前記配線基板の主面に固定された半導体チップと、前記半導体チップの電極と前記配線基板の配線とを電気的に接続する接続手段と、前記配線基板の主面側に張り付くように設けられかつ前記半導体チップおよび前記接続手段を覆う樹脂からなる封止体と、前記配線基板の裏面に複数設けられた突起電極とを有し、前記突起電極は突起電極の表面に前記ボールグリッドアレイ型半導体装置の製造におけるバーンイン試験に晒されて形成される酸化膜を含まないことを特徴とするボールグリッドアレイ型半導体装置の製造に使用されるバーンイン試験装置であって、前記バーンイン試験装置はバーンインボードと、前記配線基板の挿脱が自在となるとともに前記バーンインボードに固定されるソケットとを有するバーンイン室を有し、かつ前記配線基板はその一部がボールグリッドアレイ型半導体装置形成領域と切断除去される除去領域とからなるとともに、前記除去領域にはバーンイン試験用端子が設けられ、かつ前記一部のバーンイン試験用端子は前記除去領域内で他のバーンイン試験用端子から延在する配線に接続されていることを特徴とするバーンイン試験装置。

【請求項12】 主面および裏面に配線を有する配線基板と、前記配線基板の主面に固定された半導体チップと、前記半導体チップの電極と前記配線基板の配線とを電気的に接続する接続手段と、前記配線基板の主面側に張り付くように設けられかつ前記半導体チップおよび前記接続手段を覆う樹脂からなる封止体と、前記配線基板の裏面に複数設けられた突起電極とを有するボールグリッドアレイ型半導体装置を前記突起電極を介して実装基板に実装してなる電子装置であって、前記突起電極の表面がバーンイン試験に晒されて形成される酸化膜を含まないものとなっていることを特徴とする電子装置。

【請求項13】 主面および裏面に配線を有する配線基板と、前記配線基板の主面に固定された半導体チップと、前記半導体チップの電極と前記配線基板の配線とを電気的に接続する接続手段と、前記配線基板の主面側に張り付くように設けられかつ前記半導体チップおよび前記接続手段を覆う樹脂からなる封止体と、前記配線基板の裏面に複数設けられた突起電極とを有するボールグリッドアレイ型半導体装置を前記突起電極を介して実装基

板に実装してなる電子装置であって、前記突起電極の表面がバーンイン試験に晒されて形成される酸化膜を含まないものとなっているとともに、前記配線基板の側面は絶縁膜で覆われていることを特徴とする電子装置。

【請求項14】 主面および裏面に配線を有する配線基板と、前記配線基板の主面に固定された半導体チップと、前記半導体チップの電極と前記配線基板の配線とを電気的に接続する接続手段と、前記配線基板の主面側に張り付くように設けられかつ前記半導体チップおよび前記接続手段を覆う樹脂からなる封止体と、前記配線基板の裏面に複数設けられた突起電極とを有する複数のボールグリッドアレイ型半導体装置を前記突起電極を介して実装基板に実装してなる電子装置であって、前記突起電極の表面がバーンイン試験に晒されて形成される酸化膜を含まないものとなっているとともに、前記配線基板の側面は絶縁膜で覆われかつ一部のボールグリッドアレイ型半導体装置は隣接するボールグリッドアレイ型半導体装置の配線基板と接触していることを特徴とする電子装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ボールグリッドアレイ型半導体装置およびその製造方法、特に、キャッシュメモリ等高速メモリを構成するボールグリッドアレイ型半導体装置（以下単にBGA型半導体装置と称する）、およびその半導体装置の製造方法およびその半導体装置の製造に使用する配線基板およびその半導体装置の製造に使用するバーンイン試験装置ならびにその半導体装置を組み込んでなる電子装置に関する。

【0002】

【従来の技術】 電子機器の高機能化に伴い、LSIパッケージは、より多くの外部端子（多ピン化）を設けることが要求されてきている。この多ピン化に対処するため、多ピン化パッケージの主流であるQFP（Quad Flat Package）においては、その外部端子間隔を0.5mm、0.4mm等と狭くすることで対応してきた。しかし、端子間隔を狭くすることによって実装ハンダ付け技術は非常に高度なものとなり、これに変わる多ピンパッケージが模索されてきた。

【0003】 これに対し、最近注目されてきたのがプラスチックボールグリッドアレイ型半導体装置である。プラスチックBGA型半導体装置は、図21に示すように、主面1aおよび裏面1bに配線を有する配線基板（以下単に配線基板）1と、この配線基板1の主面に搭載された半導体チップ（半導体素子）2と、前記半導体チップ2の表面に設けられた電極3と、配線基板1の主面に設けられた配線4のボンディングパッド5とを接続する金（Au）からなる導電性のワイヤ6と、前記配線基板1の主面側にトランスファモールドによって形成されかつ前記半導体チップ2や電気的接続部であるワイヤ

5

6等を封止する樹脂(レジン)からなる封止体(以下、レジンパッケージまたは単にパッケージとも呼称する)7と、前記配線基板1の裏面にアレイ状に配置された複数の電極8上に設けられた突起電極9とからなっている。前記突起電極9は外部電極9bとなり、前記電極8上に形成されたハンダパンプ9aによって形成されている。

【0004】前記プラスチックBGA型半導体装置10(以下、単にBGA型半導体装置とも称する)は、たとえば図22に示すように、実装基板15の接続パッド16の上面に前記突起電極9を位置合わせして搭載し、突起電極9(ハンダパンプ9a)をリフローすることによってハンダを配線基板1上の接続パッド16上に濡れ広がらせて、接続パッド16と突起電極9との接続を行なうことによって実装される。

【0005】BGA型半導体装置およびその実装については、たとえば、日経BP社発行「日経エレクトロニクス」1994年2月14日号、P59～P73や、日経BP社発行「VLSIパッケージング技術(下)P174に記載されている。前者の文献には、インサーキット・テストおよびバーンイン試験について記載されている。インサーキット・テストについては、BGAを搭載する位置の裏面のプリント基板にテスト専用のパッドを設けている旨記載されている。また、前者の文献には、バーンインなどに使用するテスト・ソケットが紹介されている。また、テスト・ソケットにおいては、ハンダ・ボール(ハンダパンプ電極)の変形を防ぐこと、コンタクト時ハンダ・ボールの表面の薄い酸化膜を破って電氣的接続が取られる工夫がなされていることが記載されている。

【0006】一方、半導体装置(半導体デバイス)は、その製品の信頼性を保証するためにも、各種の試験(測定・検査等)を行って良品を選択している。このような良品選択手法(スクリーニング)の一つとして、高温環境下で半導体装置に電気ストレスを掛けて加速寿命試験を行ういわゆるバーンイン試験がある。たとえば、工業調査会発行「電子材料別冊号」1985年11月20日発行、P227～P231には、バーンイン装置について記載されている。

【0007】

【発明が解決しようとする課題】本出願人においても高速メモリ、たとえば(SRAM:Static Random Access Memory)を開発している。前記高速メモリは突起電極をアレイ状に配置したボールグリッドアレイ型半導体装置(以下、BGA型半導体装置とも称する)となっている。このBGA型半導体装置は、バーンイン試験後、最終検査となる動作試験(機能試験)が行われる。しかし、動作試験時、試験結果に不均一(バラツキ)が多く出ることがある。この不均一の発生は本発明者の分析検討により、前記バーンイン試験に起因するものであると判明した。

6

【0008】すなわち、バーンイン試験においては、動作状態のBGA型半導体装置は、100～150℃ともなる高温のバーンイン室に100時間以上の間放置される(晒される)。また、バーンイン試験は大気雰囲気で行われるため、大気中に含まれる酸素によって、ハンダ(Pb-Sn)で形成される突起電極の表面には、図23に示されるように、自然酸化膜よりも厚い酸化膜17が形成されてしまう。

【0009】図23は、動作試験におけるソケットの測定端子(ピン)18と、突起電極9(ハンダパンプ9a、外部電極9b)との接触状態を示す図である。測定端子18は、その先端が突起電極9の下面表面の酸化膜17を突き破って電氣的接触をとる構成となっている。鉛-錫からなる突起電極9の表面には、自然状態でも自然酸化膜が形成される。この自然酸化膜は、たとえば、0.5μm程度と突起電極9形成直後の状態で極めて薄い。しかし、バーンイン試験における高温雰囲気下に長時間晒された突起電極9の場合は、表面の酸化が強制的に進み、たとえば、10μm程度と前記自然酸化膜に比較して厚くなり、測定端子18の先端が酸化膜17を突き破ることが完全(または図示しないが一部)にできなくなったり、電氣的接触抵抗(コンタクト抵抗)が大きくなる傾向にある。この結果、正確な動作試験ができなくなる。

【0010】また、BGA型半導体装置10は、ハンダパンプ9aを溶融し、実装基板15の接続パッド16上にハンダを濡れ広がらせることにより実装するが、ハンダパンプ9aの表面に厚い酸化膜が存在すると、接続パッド16上でのハンダの濡れ性が低下し、ハンダの接続不良が発生したり、接続が不確実となり、実装の信頼性が低下する。また、厚い酸化膜を除去するためにフラックスを用いると、フラックス中の塩素により、半導体チップ上のA1電極が腐食してしまうという問題もある。

【0011】また、バーンイン試験においては、前記文献にも記載されているように、単体のBGA型半導体装置がソケットにそれぞれ一個宛取り付けられるため、BGA型半導体装置の着脱に多くの時間を費やしてしまい作業性が低くなる。

【0012】なお、図23においては、配線基板1の裏面1bに電極8が設けられるとともに、前記電極8は絶縁体、たとえばソルダーレジスト膜19で被われている。前記ソルダーレジスト膜19は部分的に除去され、露出した電極8の表面には突起電極9(ハンダパンプ9a、外部電極9bとも称する)が設けられている。

【0013】一方、前記文献にも記載されているように、ハンダ付けを行う場合、ハンダの酸化を防止するために、ハンダ付けを窒素雰囲気で行っている。そこで、本発明者は、突起電極をバーンイン試験後に配線基板に取り付けることにすれば、突起電極は酸化性高温雰囲気

なした。また、酸化膜の膜厚は、時間よりも温度に大きく依存するため、突起電極を高温雰囲気に晒さなければ、厚い酸化膜の形成を防止できることに着目し、本発明に至った。

【0014】本発明の目的は、表面酸化膜が薄い突起電極を有するボールグリッドアレイ型半導体装置、すなわちバーンイン試験に起因する酸化膜を有しないボールグリッドアレイ型半導体装置およびその製造方法を提供することにある。

【0015】本発明の他の目的は、正確な動作試験（機能試験）を行うことができるボールグリッドアレイ型半導体装置およびその製造方法を提供することにある。

【0016】本発明の他の目的は、実装性能の良好なボールグリッドアレイ型半導体装置およびその製造方法を提供することにある。

【0017】本発明の他の目的は、配線基板側面におけるショート不良防止が達成できるボールグリッドアレイ型半導体装置およびその製造方法を提供することにある。

【0018】本発明の他の目的は、バーンイン試験を効率的に行える配線基板を提供することにある。

【0019】本発明の他の目的は、バーンイン試験装置の小型化が図れる配線基板を提供することにある。

【0020】本発明の他の目的は、作業効率が良くかつ処理能力が高い小型のバーンイン試験装置を提供することにある。

【0021】本発明の他の目的は、ボールグリッドアレイ型半導体装置を実装してなる電子装置におけるボールグリッドアレイ型半導体装置の実装の信頼性の向上を図ることにある。

【0022】本発明の他の目的は、複数のボールグリッドアレイ型半導体装置を実装してなる電子装置の小型化を図ることにある。

【0023】本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

【0024】

【課題を解決するための手段】本願において開示される本発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、本発明のボールグリッドアレイ型半導体装置は、主面および裏面に配線を有する配線基板と、前記配線基板の主面に固定された半導体チップと、前記半導体チップの電極と前記配線基板の配線とを電気的に接続する接続手段と、前記配線基板の主面側に張り付くように設けられかつ前記半導体チップおよび前記接続手段を覆う樹脂からなる封止体と、前記配線基板の裏面に複数設けられた突起電極とを有するボールグリッドアレイ型半導体装置であって、前記突起電極の表面がバーンイン試験時の高温雰囲気に晒されて形成される酸化膜を含まないとともに、前記配線基板の側面は

絶縁膜で覆われ、かつ前記配線基板は多層配線基板構造となっている。

【0025】本発明のボールグリッドアレイ型半導体装置の製造方法は、配線基板の主面に封止体を張り付け形成した後、配線基板をバーンイン試験し、その後前記配線基板の裏面に突起電極を非酸化性雰囲気下で設けるものである。具体的なボールグリッドアレイ型半導体装置の製造方法は、主面および裏面に配線を有するとともに、ボールグリッドアレイ型半導体装置形成領域と除去領域とを有しかつ前記除去領域にバーンイン試験用端子を有する配線基板を用意する工程と、前記配線基板の主面に半導体チップを取り付ける工程と、前記配線基板の配線と前記半導体チップの電極の電気的接続をとる工程と、前記配線基板の主面を封止体を張り付け形成して前記半導体チップや前記電気的な接続手段を封止体で覆う工程と、前記半導体チップを搭載した配線基板をバーンイン試験する工程と、前記バーンイン試験後前記配線基板の裏面に非酸化性雰囲気下で突起電極を設ける工程と、前記除去領域を切断除去する工程と、前記配線基板の側面を電気的絶縁膜で覆う工程とを有する。

【0026】本発明のボールグリッドアレイ型半導体装置の製造方法に使用する配線基板は、ボールグリッドアレイ型半導体装置形成領域と切断除去される除去領域とからなるとともに、前記除去領域の一周縁すなわち配線基板の一周縁（一辺）にはバーンイン試験用端子が設けられ、かつ前記一部のバーンイン試験用端子は前記除去領域内で他のバーンイン試験用端子から延在する配線に接続されている。これによって、バーンイン試験用端子の数を減じることができ、バーンイン試験用端子列の長さが短くなる。また、前記配線基板には複数のボールグリッドアレイ型半導体装置形成領域が設けられ各ボールグリッドアレイ型半導体装置形成領域の配線の一部は他のボールグリッドアレイ型半導体装置形成領域の配線と前記除去領域で接続される多連構造となっている。

【0027】本発明のボールグリッドアレイ型半導体装置の製造方法に使用されるバーンイン試験装置は、主面および裏面に配線を有する配線基板と、前記配線基板の主面に固定された半導体チップと、前記半導体チップの電極と前記配線基板の配線とを電気的に接続する接続手段と、前記配線基板の主面側に張り付くように設けられかつ前記半導体チップおよび前記接続手段を覆う樹脂からなる封止体と、前記配線基板の裏面に複数設けられた突起電極とを有し、前記突起電極の表面がバーンイン試験時の高温雰囲気に晒されて形成される酸化膜を含まないことを特徴とするボールグリッドアレイ型半導体装置の製造に使用されるバーンイン試験装置であって、前記バーンイン試験装置はバーンインボードと、前記配線基板の挿脱が自在となるとともに前記バーンインボードに固定されるコネクタとを有するバーンイン室を有している。本発明のバーンイン試験装置のコネクタには、

ボールグリッドアレイ型半導体装置形成領域と切断除去される除去領域とを有し、前記除去領域の一周縁にバーンイン試験用端子が設けられ、かつ前記一部のバーンイン試験用端子は前記除去領域内で他のバーンイン試験用端子から延在する配線に接続されている構造となる配線基板が挿脱される。

【0028】本発明のボールグリッドアレイ型半導体装置を組み込んだ電子装置は、主面および裏面に配線を有する配線基板と、前記配線基板の主面に固定された半導体チップと、前記半導体チップの電極と前記配線基板の配線とを電気的に接続する接続手段と、前記配線基板の主面側に張り付くように設けられかつ前記半導体チップおよび前記接続手段を覆う樹脂からなる封止体と、前記配線基板の裏面に複数設けられた突起電極とを有する複数のボールグリッドアレイ型半導体装置を前記突起電極を介して実装基板に実装してなる電子装置であって、前記突起電極の表面がバーンイン試験時の高温雰囲気によって形成される酸化膜を含まないものとなっており、前記配線基板の側面は絶縁膜で覆われかつ一部のボールグリッドアレイ型半導体装置は隣接するボール

【0029】

【作用】上記した手段によれば、本発明のボールグリッドアレイ型半導体装置は、バーンイン試験後に突起電極を形成することから、形成された突起電極の表面には、薄い自然酸化膜が後に発生しても、バーンイン試験に起因する厚い酸化膜は存在しないことになる。

【0030】本発明のボールグリッドアレイ型半導体装置は、バーンイン試験後に非酸化性雰囲気下で突起電極を形成することから、形成された突起電極の表面には、薄い自然酸化膜は後に発生しても、バーンイン試験および突起電極形成に起因する厚い酸化膜は存在しないことになる。

【0031】本発明のボールグリッドアレイ型半導体装置は、突起電極の表面にはあっても薄い自然酸化膜しか存在しなくなることから、動作試験の際、動作試験の測定端子と突起電極とが直接接触するようになり、接触抵抗が小さくなって、動作試験特性が安定する。

【0032】本発明のボールグリッドアレイ型半導体装置は、突起電極の表面にはあっても薄い自然酸化膜しか存在しなくなることから、実装時のハンダ濡れ性が向上し、実装の信頼性が高くなる。

【0033】本発明のボールグリッドアレイ型半導体装置においては、配線基板の側面は絶縁膜で覆われていることから、配線基板の側面に導電性の異物が付着しても配線基板の各配線間のショートが発生しなくなる。

【0034】本発明のボールグリッドアレイ型半導体装置においては、配線基板の側面は絶縁膜で覆われていることから、実装するボールグリッドアレイ型半導体装置

を隣り合わせて接触配置実装することも可能となり、実装面積の縮小化（狭小化）が可能なボールグリッドアレイ型半導体装置となる。

【0035】本発明のボールグリッドアレイ型半導体装置の製造方法においては、配線基板の主面に封止体を張り付け形成した後、配線基板をバーンイン試験し、その後前記配線基板の裏面に突起電極を非酸化性雰囲気下で設けることから、ハンダで形成される突起電極の表面には酸化膜が形成されなくなる。

【0036】本発明のボールグリッドアレイ型半導体装置の製造方法においては、配線基板の一周縁部分にバーンイン試験用端子を配置した構造の配線基板を使用することから、バーンイン試験用端子のコネクターへの配線基板の挿脱が確実容易となり、バーンイン試験作業の効率化が達成できる。

【0037】本発明のボールグリッドアレイ型半導体装置の製造方法においては、配線基板は複数のボールグリッドアレイ型半導体装置が一度に同時に製造できる多連構造の配線基板を使用しているため、生産性が向上する。

【0038】本発明のボールグリッドアレイ型半導体装置の製造方法においては、配線基板の除去領域を切断除去した後、配線基板の側面を絶縁膜で被覆することから、その後の工程で異物が付着しても配線基板の各配線間（含積層方向の配線）のショートが防止でき、製造歩留りが向上する。

【0039】本発明のボールグリッドアレイ型半導体装置の製造方法においては、配線基板はボールグリッドアレイ型半導体装置形成領域と除去領域とからなる配線基板を使用しかつ電源線のような共通の配線は除去領域で相互に繋がる構造となっているため、バーンイン試験用端子数の低減が可能となる。

【0040】本発明による配線基板は、ボールグリッドアレイ型半導体装置形成領域と除去領域とからなるとともに、前記除去領域の一周縁、すなわち配線基板の一周縁にバーンイン試験用端子が並んで設けられているとともに、除去領域では一部の配線（電源線等のような共通化が可能な配線）同士は接続され、バーンイン試験用端子数が少なくなるようになっていることから、バーンイン試験用端子列の長さを短くでき、配線基板の幅を短小化できる。配線基板の短小化はバーンイン試験装置のコネクターの短小化を図ることに繋がる。

【0041】本発明による配線基板においては、ボールグリッドアレイ型半導体装置形成領域と除去領域とからなるとともに、前記ボールグリッドアレイ型半導体装置形成領域は複数設けられる多連構造となっているため、バーンイン試験の処理数の増大が図れ、バーンイン試験能率の向上が図れる。また、各ボールグリッドアレイ型半導体装置形成領域から延在する共用化が可能な配線の先端は、バーンイン試験用端子数を少なくするように除

去領域でバーンイン試験用端子に連なる配線に接続されていることから、多連構造の配線基板の長さも短小化できることになる。

【0042】本発明のボールグリッドアレイ型半導体装置の製造方法に使用されるバーンイン試験装置においては、コネクタに板状の配線基板の一周縁を装着するだけで複数のボールグリッドアレイ型半導体装置を取り付けたと同じことになり、バーンイン試験作業の作業性向上が図れる。

【0043】本発明のボールグリッドアレイ型半導体装置を組み込んだ電子装置においては、ボールグリッドアレイ型半導体装置はバーンイン試験による酸化膜がない外部電極を介して実装基板に実装されていることから、実装基板の配線と外部電極を構成するハンダの濡れ性が良くなり実装の信頼性が向上する。

【0044】また、本発明の電子装置においては、配線基板の側面に絶縁膜が設けられた状態でボールグリッドアレイ型半導体装置が実装基板に実装されているため、配線基板の側面に異物が付着しても、配線基板における配線間のショートが起きない。

【0045】また、本発明の電子装置は、実装基板に実装されるボールグリッドアレイ型半導体装置の配線基板の側面は絶縁膜で被われていることから、複数のボールグリッドアレイ型半導体装置を近接配置実装する場合、隣り合うボールグリッドアレイ型半導体装置を接触配置実装することが可能となり、実装面積の狭小化あるいは実装基板の小型化、すなわち電子装置の小型化が可能となる。

【0046】

【実施例】以下図面を参照して本発明の一実施例について説明する。図1は本発明の一実施例によるBGA型半導体装置の製造方法による各製造工程を示すフローチャート、図2は本実施例のBGA型半導体装置を示す一部を断面とした正面図である。図3乃至図17は動作試験（機能試験）をも含めたBGA型半導体装置の各製造工程に係わる図であり、図3乃至図9はバーンイン試験前の各製造工程に係わる図である。本発明では、図15に示されるようにバーンイン試験後に外部電極、すなわち突起電極が形成される。また、図18乃至図20はいずれも本発明の電子装置の一部を示すものであり、図18は本発明のBGA型半導体装置を実装基板に実装した状態を示す断面図、図20は本発明のBGA型半導体装置を相互に接触するように複数近接実装した状態を示す模式的断面図である。

【0047】本実施例では、キャッシュメモリ用の1Mビット（32Kビット×36）SRAM（Static Random Access Memory）からなる高速メモリに本発明を適用した例について説明する。この高速メモリ、すなわち、ボールグリッドアレイ型半導体装置（BGA型半導体装置）は、配線基板の主面側に樹脂（レジン）からなる封止体

を張り付けるように設けているとともに、裏面側にアレイ状に突起電極を形成した構造となっている。また、これは特に限定されるものではないが、ボールグリッドアレイを形成する突起電極9は、たとえば、7行17列となり、合計で119端子となっている。端子の内訳は、信号（I/O）が36端子、クロックが4端子、アドレスが14端子、電源が15端子、グランド（GND）が15端子、その他35端子となっている。また、突起電極9のピッチは1.27mmとなっている。

【0048】本発明のBGA半導体装置（プラスチックBGA半導体装置）10は、図2に示すような構造となるとともに、図1に示すフローチャートによる各工程を経て製造される。すなわち、BGA型半導体装置10は、配線基板用意、半導体チップ固定、電気的接続（ワイヤボンディング）、封止、バーンイン試験、非酸化性雰囲気下での突起電極（ハンダバンプ）形成、配線基板個片化、配線基板側面絶縁化、最終検査（動作試験）、製品完成（BGA型半導体装置）の各工程を経て製造される。このフローチャートでも明らかにように、本発明は、バーンイン試験後に突起電極を形成することにより、バーンイン試験時の高温雰囲気によって突起電極の表面を酸化させる現象を回避させ、突起電極の表面に自然酸化膜よりも厚い酸化膜が形成されないようにすることが、大きな特徴である。

【0049】BGA型半導体装置10は、外観的には、矩形板からなる配線基板1と、前記配線基板1の主面1a側に設けられた樹脂（レジン）で形成される封止体（パッケージ）7と、前記配線基板1の裏面1b側にアレイ状に配列された突起電極9と、前記配線基板1の側面を被う絶縁膜12となっている。本発明においては、前記配線基板1の側面を絶縁膜12で被うことも、異物付着による配線基板側面でのショート防止対策の一つである。

【0050】前記配線基板1は、図2および図6に示すように、ガラスエポキシ系樹脂からなる絶縁体14間の主面1aおよび裏面1b並びに中間層部分にも配線4が存在する4層構造の配線基板であり、特に限定はされないが、NEMA規格のFR-4に相当するものである。また、配線基板1の主面1aおよび裏面1bはソルダーレジスト膜19で部分的に被われている。前記各配線4は銅箔を所望パターンに形成することによって形成され、たとえば10μm程度の厚さとなっている。前記配線基板1の寸法は、これも特に限定はされないが、たとえば、縦14mm、横22mm、厚さ0.6mmとなっている。前記ソルダーレジスト膜19から露出する部分において、主面1a側ではボンディングパッド5やチップ固定部26を構成し、裏面1b側では突起電極9（組成上ハンダバンプ9a、機能上外部電極9bとも称する）を形成するための台座となる電極8となっている。また、上下の配線4は、図2に示すように、スルーホー

ルに埋め込まれた導体13によって、それぞれ所定部分が電氣的に接続されている。配線4は配線基板1の主面1aおよび裏面1bが信号配線となり、上から2層目がグランド配線、上から3層目が電源線となっている。

【0051】配線基板1の主面1aの中央部分のチップ固定部26上には、Agペースト等の接着剤25を介して半導体チップ2が固定されている。前記前記半導体チップ2の電極3と、配線4の先端部分であるボンディングパッド5とは、電氣的接続手段6で接続されている。本実施例の場合は、金からなる導電性のワイヤ6で接続

されている。
【0052】配線基板1の主面1a側に張り付くように形成される封止体（パッケージ）は、特に限定はされないが、トランスファモールドによって形成され、前記半導体チップ2、ワイヤ6、ボンディングパッド5部分等を被うようになっている。

【0053】また、前記配線基板1の裏面1b側には、前記電極8が縦横に整列配置（7行17列）されるとともに、この電極8上には球状となる突起電極9が設けられている。突起電極9はハンダバンプ9aとなり、BGA型半導体装置10の外部電極9bとなっている。

【0054】一方、これが本発明の特徴の一つであるが、図2に示すように、前記突起電極9は、完成品段階でその表面に薄い酸化膜しか有していない。これは後述する半導体装置の製造方法に起因するものであるが、バーンイン試験を行った後に非酸化性雰囲気下で突起電極9を形成する（取り付ける）ことによる。したがって、BGA型半導体装置10の最終検査である動作試験（機能試験）や実装の信頼性が高くなるものである。すなわち、これら動作試験や実装段階では、突起電極9の表面に存在する酸化膜は、自然酸化膜で極めて薄いものである。すなわち、本発明のBGA型半導体装置10はバーンイン試験後に突起電極9を形成することから、形成された突起電極9の表面には、薄い自然酸化膜は後に発生しても、バーンイン試験時に厚い酸化膜が形成されることはない。

【0055】他方、本実施例のBGA型半導体装置10においては、前記配線基板1の側面には、エポキシ系樹脂からなる絶縁膜12が設けられ、切断によって露出する配線4の端面を被って電氣的に保護している。配線基板1の側面に絶縁膜12を設ける構造では、配線基板1の側面に異物が付着しても、異物による配線4のショートは防止できる。

【0056】つぎに、本実施例のBGA型半導体装置10の製造方法について、図1のフローチャートに沿って説明する。最初に、図3乃至図5に示すように配線基板1が用意される。配線基板1は、図6に示すように、主面1aおよび裏面1bに配線4を露出する4層の多層配線基板構造（NEMA規格のFR-4）となり、厚さは0.6mmとなっている。各配線4は銅箔を所望パター

ンに形成することによって形成され、たとえば10μm程度の厚さとなっている。ここでは、内層の配線も同じ符号を用いることにする。また、上下の配線4はスルーホールに充填された導体13で適宜電氣的に接続されている。図6の配線基板1は図5に示す多連構造のものであり、同時に複数のBGA型半導体装置10を製造することができる。配線基板1はボールグリッドアレイ型半導体装置形成領域（BGA型半導体装置形成領域20）を1つ有し、そのBGA型半導体装置形成領域20の周囲に延在する除去領域21とで形成される矩形板となり、かつ前記除去領域21の一部、すなわち配線基板1の一边にはバーンイン試験用端子22が等ピッチに設けられている。また、突起電極9やワイヤ6等が取り付けられる配線4の表面は、その上に15μmの厚さの銅メッキ層、5μmの厚さのニッケルメッキ層、0.5μmの厚さの金メッキ層が設けられている。

【0057】また、配線基板1の主面1aおよび裏面1bの表面は絶縁性のソルダーレジスト膜19（図4において点々を施した領域）で被われているとともに、必要部分は除去されている。このため、ソルダーレジスト膜19が除去され領域には、配線4や配線基板1を構成する絶縁体25の表面が露出することになる。配線基板1の主面1a側で露出した配線4は、半導体チップ2を固定するためのチップ固定部26や接続手段6を接続するボンディングパッド5を構成し、裏面1b側で露出した配線4はハンダバンプ9aを形成するための電極8を構成する。

【0058】さらに、これも本発明の特徴の一つであるが、配線基板1は、除去領域21の内部領域にBGA型半導体装置形成領域20が存在するパターンとなっている。そして、前記除去領域21の一周縁（配線基板1の一边である一周縁）には、等ピッチでバーンイン試験用端子22が設けられている。前記バーンイン試験用端子22は、半導体チップ2が固定される領域の外側に近接配置されたボンディングパッド5と配線4によって接続されている。また、前記除去領域21において、バーンイン試験用端子22を共用できる配線4は、直接バーンイン試験用端子22に接続されることなく、その先端が他の共用できる配線4に接続されている。これにより、図4に示すように、15端子必要であった電源端子（Vcc）は1個となり、15端子必要であったグランド（GND）端子（Vss）は1個となる。また、4端子必要であったクロック端子（C）は1個となり、36端子必要であった信号（I/O）端子（A0、A2～A6）は18端子となる。残りの端子は配線4を介して直接ボンディングパッド5に繋がる。これにより、配線基板1のバーンイン試験用端子22が並ぶ端子列方向の長さの短縮化が達成できる。この配線基板1の端子列方向の長さの短縮化は、後述するバーンイン試験装置のバーンインボードに取り付けられるコネクタの長さの短縮化に繋がる

り、バーンイン室の狭小化にまで及ぶことになる。

【0059】図5に示す多連構造の配線基板1は、各BGA型半導体装置形成領域20から延在する配線4も、共用できるバーンイン試験用端子22に除去領域21内で接続することができる。多連構造の配線基板1の場合は、前記端子列方向の配線基板1の長さの短縮化がさらに大幅に大きくなる。したがって、バーンイン試験装置のバーンインボードに取り付けられるコネクタの長さの短縮化やバーンイン室の狭小化はさらに改善されることになる。

【0060】つぎに、図3に示すように、配線基板1の主面1aの中央部分には、接着剤としてのエポキシ樹脂系の接着ペースト30が、図示しないディスペンサによって滴下塗布される。

【0061】つぎに、図7および図8に示すように、前記配線基板1の主面1a中央に、前記接着ペースト30を利用して、特に限定はされないが、0.28mmの厚さの半導体チップ2が固定される。前記半導体チップ2は高速メモリを構成する。また、接着ペースト30はキュア処理され、固体の接着体31となる。

【0062】つぎに、図7に示すように、半導体チップ2の上面周辺に設けられた電極と、これに対応する配線4の内端のボンディングパッド5は、電気的接続手段で接続されている。すなわち、電極3とボンディングパッド5は、金からなる導電性のワイヤ6で電気的に接続する(図8では、電極3やボンディングパッド5、電極8等は省略してある)。

【0063】つぎに、常用のトランスファモールド技術によって、図9に示すように、配線基板1の主面側は、レジンからなるパッケージ7が張り付くように設けられる。前記パッケージ7によって配線基板1の主面1a側の半導体チップ2、ボンディングパッド5、ワイヤ6等は封止される。パッケージ7の高さは、約0.9mmとなる。

【0064】つぎに、図10および図11に示すように、パッケージ付配線基板32は、図示しないバーンイン試験装置のバーンイン室に配置されるバーンインボード40に取り付けられたコネクタ41に装着されてバーンイン試験が行われる。試験雰囲気は大気雰囲気であるが、温度は100℃となり、試験時間も100時間に及ぶ。

【0065】パッケージ付配線基板32は、前記コネクタ41に対してバーンイン試験用端子22を有する一周縁側を挿脱するだけであることから、ICソケットのように、BGA半導体装置を装着後に蓋をするような作業がなく、作業性が良好となる。また、実際には、図12および図13に示すように、バーンイン試験装置のバーンイン室42には、バーンインボード40が鉛直方向に立てられる構造となり、このバーンインボード40に多段にコネクタ41が取り付けられている。コネクタ

ー41には、図12に示すような多連構造の配線基板1が装着される。多連構造の配線基板1の使用は、一度に多数のバーンイン試験を行うことができるようになり、バーンイン試験の作業効率を向上させることに繋がる。

【0066】つぎに、図14に示すように、配線基板1の除去領域21を切断除去して、BGA型半導体装置形態品45を取り出す(形成する)。

【0067】つぎに、前記BGA型半導体装置形態品45、すなわち、配線基板1の裏面1bに突起電極9を常用の転写方法で取り付ける(形成する)。転写方法とは、配線基板1を裏返して裏面1bを上面とした後、治具を利用して、電極8上に半球を載置してリフローを行うことによって行う方法である。電極8は、周囲がソルダーレジスト膜19で取り囲まれていることから、各半球は前記電極8上に略正しく載置されるようになる。リフローは、形成される突起電極9の表面に酸化膜が形成されないように、非酸化性雰囲気下、たとえば、窒素雰囲気下で行われる。この結果、配線基板1の裏面1bに形成される突起電極9は、バーンイン試験の高温雰囲気下に晒されないことと、突起電極9を形成する際非酸化性雰囲気下で行われることによって、表面に酸化膜が発生しないことになる。しかし、Pb-Snからなるハンダは大気中に放置されると、自然酸化膜が発生してしまう。この自然酸化膜は、たとえば0.5μmと極めて薄い。図15が配線基板1の裏面1bに突起電極9を形成してなるBGA型半導体装置10である。

【0068】つぎに、図2に示すように、BGA型半導体装置10の配線基板1の側面には絶縁膜12が設けられる。これは配線基板1の側面に露出する配線4の先端を電気的に保護するために設けられる。この絶縁膜12によって、平面方向は勿論のこと、平面に直交する積層方向の配線4間の異物付着によるショートを防止することができる。

【0069】つぎに、BGA型半導体装置10は、最終検査である動作試験(機能試験)に掛けられる。図16に示すように、BGA型半導体装置10は、突起電極9を下にした状態で、動作試験装置のソケット50に取り付けられる。ソケット50は測定端子(ピン)18をアレイ状に配設したソケット本体51と、前記ソケット本体51に対して軸52を中心に回転する蓋体53からなっている。したがって、前記蓋体53を開いた状態で、ソケット本体51内にBGA型半導体装置10を入れ、蓋体53を閉じれば、配線基板1の裏面1b側の突起電極9は、図19にも示すように測定端子18に接触する。蓋体53はBGA型半導体装置10のパッケージ7の上面を下方に押し下げることから、測定端子18の先端は、突起電極9内に食い込む。本実施例のBGA型半導体装置10の場合は、前記のように突起電極9の表面には薄い自然酸化膜からなる酸化膜17しかないことから、前記蓋体53の押し下げ(閉じ)によって、測定端

子18の先端は確実に突起電極9の表面の酸化膜17を突き破り、正確に電氣的接触を得ることができるようになる。正確に電氣的接触は、動作試験の安定化をもたらす。

【0070】このようなBGA型半導体装置10はこのまま出荷されるか、電子装置に組み込まれて出荷される。しかし、いずれにしても、ハンダバンプ9aで形成される突起電極9の表面の酸化膜17が極めて薄いことは、実装においてハンダの濡れ性が良く、正確でかつ信頼性が高い実装が可能となる。

【0071】つぎに、本実施例のBGA型半導体装置10を組み込んだ電子装置60について説明する。図18および図19は、本発明の電子装置60を示す図である。本発明のBGA型半導体装置10は実装基板15上に実装される。実装においては、実装基板15の主面にアレイ状に配列された接続パッド16に、BGA型半導体装置10の突起電極9を重ねるようにしてBGA型半導体装置10を載せ、その後リフローすることによって、接続パッド16と電極8を接続する。溶けたハンダ接合体65は、本発明のBGA型半導体装置10の突起電極9が、その表面に厚い酸化膜を有していないことから、あるいは薄い自然酸化膜しか有していないことから、電氣的接触抵抗が小さくなり、実装の信頼性が高くなる。

【0072】また、本発明の電子装置60においては、実装されたBGA型半導体装置10の配線基板1の側面には絶縁膜12が設けられていることから、配線基板1の側面に異物等が接触しても電氣的ショートは発生しなくなり、電子装置60の信頼性が高くなる。

【0073】図20に示す電子装置60は、前記配線基板1の側面に絶縁膜12が設けられていることを利用したものである。すなわち、本発明のBGA型半導体装置10の配線基板1の側面には、絶縁膜12が設けられ、導電性の異物が付着しても特性に影響を受けない。そこで、実装基板15に複数のBGA型半導体装置10を近接実装する場合、図20に示すように、隣り合うBGA型半導体装置10の配線基板1の端を相互に接触させても絶縁膜12の存在によって電氣的に絶縁化される。この結果、実装基板15に複数のBGA型半導体装置10を近接配置実装する場合、接触配置実装が可能となる。

【0074】本実施例によるBGA型半導体装置およびその製造方法およびその製造方法に用いる配線基板およびバーンイン試験装置ならびにそのBGA型半導体装置を組み込んでなる電子装置においては、以下のような効果を得ることができる。各対象別にその効果を説明する。

【0075】(BGA型半導体装置)

(1) 本実施例のBGA型半導体装置は、バーンイン試験後に突起電極を形成することから、形成された突起電極の表面には、薄い自然酸化膜が後に発生しても、バーンイン試験に起因する厚い酸化膜は存在しないことにな

る。

【0076】(2) 本実施例のBGA型半導体装置は、バーンイン試験後に非酸化性雰囲気下で突起電極を形成することから、形成された突起電極の表面には、薄い自然酸化膜が後に発生しても、バーンイン試験および突起電極形成時に起因する厚い酸化膜は存在しないことになる。

【0077】(3) 本実施例のBGA型半導体装置は、突起電極の表面にはあっても薄い酸化膜しか存在しなくなることから、動作試験の際、動作試験の測定端子と突起電極とが直接接触した場合接触抵抗が小さくなり、動作試験特性が安定する。

【0078】(4) 本実施例のBGA型半導体装置は、突起電極の表面にはあっても薄い酸化膜しか存在しなくなることから、実装時のハンダ濡れ性が向上し、実装の信頼性が高くなる。

【0079】(5) 本実施例のBGA型半導体装置においては、配線基板の側面は絶縁膜で覆われていることから、配線基板の側面に導電性の異物が付着しても配線基板の積層された各配線間のショートが発生しなくなる。

【0080】(6) 本実施例のBGA型半導体装置においては、配線基板の側面は絶縁膜で覆われていることから、配線基板の側面に異物が付着しても、配線基板の配線間(含積層方向の配線)のショートが防止できる。

【0081】(7) 本実施例のBGA型半導体装置においては、配線基板の側面は絶縁膜で覆われていることから、隣合わせて実装するBGA型半導体装置を接触配置実装することも可能となり、実装面積縮小化(狭小化)が可能となる。

【0082】(BGA型半導体装置の製造方法)

(1) 本実施例のBGA型半導体装置の製造方法においては、配線基板の主面に封止体を張り付け形成した後、配線基板をバーンイン試験し、その後前記配線基板の裏面に突起電極を設けることから、ハンダで形成される突起電極の表面にはバーンイン試験時に起因する酸化膜が形成されなくなる。

【0083】(2) 本実施例のBGA型半導体装置の製造方法においては、配線基板の主面に封止体を張り付け形成した後、配線基板をバーンイン試験し、その後前記配線基板の裏面に突起電極を非酸化性雰囲気下で設けることから、ハンダで形成される突起電極の表面にはバーンイン試験や突起電極形成時に起因する酸化膜が形成されなくなる。

【0084】(3) 本実施例のBGA型半導体装置の製造方法において使用する配線基板は、BGA型半導体装置形成領域と除去領域とからなるとともに、前記除去領域(配線基板)の一周縁にバーンイン試験用端子が並んで設けられた構造となっていることから、バーンイン試験用コネクタに直接配線基板を挿脱できるため、バーンイン試験作業の効率が向上する。

【0085】(4) 本実施例のBGA型半導体装置の製造方法において使用する配線基板は、BGA型半導体装置形成領域と除去領域とからなる構造となるとともに、電源線のような共通の配線は前記除去領域で相互に繋がる構造となっていることから、バーンイン試験用端子数の低減が可能となり、バーンイン試験用コネクタへの挿脱配線基板の枚数が減り、作業性が向上する。また、前記のように、バーンイン試験用端子が設けられる配線基板幅(端子配列周縁)を短くすることができる(配線基板の端子配列周縁幅の短小化)ことから、バーンイン試験用コネクタ幅の短小化、バーンイン室の小型化により、電力使用料の低減も可能となる。

【0086】(5) 本実施例のBGA型半導体装置の製造方法において使用する配線基板は、複数のBGA型半導体装置が一度に同時に製造できるようにBGA型半導体装置形成領域を多数一列に配置した多連構造を使用しているため、生産性が向上する。

【0087】(6) 多連構造の配線基板の使用は、配線基板の端子配列周縁幅を短くできることになるとともに、バーンイン試験用コネクタ短小化およびバーンイン室の小型化を図ることができるようになり、前述のように電力使用料の低減も可能となる。

【0088】(7) 本実施例のBGA型半導体装置の製造方法においては、バーンイン試験工程、突起電極形成工程、配線基板の除去領域の切断除去工程後に配線基板の側面を絶縁膜で被覆することから、それ以降に配線基板の側面に異物が付着しても配線基板の各配線間(含積層方向の配線)のショートが防止でき、製造歩留りの向上が達成できる。

【0089】(8) 本実施例のBGA型半導体装置の製造方法に使用される配線基板においては、前記除去領域の一周縁にバーンイン試験用端子が並んで設けられているとともに、除去領域では一部の配線(電源線等のような共通化が可能な配線)同士は接続され、バーンイン試験用端子数が少なくなるようになっている。したがって、配線基板の端子配列周縁幅を短くできることになるとともに、バーンイン試験用コネクタ短小化およびバーンイン室の小型化を図ることができるようになり、前述のように電力使用料の低減も可能となる。

【0090】(配線基板)

(1) 本実施例のBGA型半導体装置の製造方法に使用する配線基板は、BGA型半導体装置形成領域と除去領域とからなるとともに、前記除去領域では電源線のような一部の配線同士は電気的に接続されてバーンイン試験用端子数は共用化されるため、端子配列数の低減が達成できる。

【0091】(2) 本実施例のBGA型半導体装置の製造方法に使用される配線基板は、BGA型半導体装置形成領域と除去領域とからなるとともに、前記BGA型半導体装置形成領域は複数設けられる多連構造となってい

るため、生産性が高くなる。また、これにより、バーンイン試験の処理数の増大が図れる。

【0092】(バーンイン試験装置)

(1) 本実施例のBGA型半導体装置の製造に使用されるバーンイン試験装置は、前述の配線基板の使用により、バーンイン試験作業の作業性向上が図れるとともに、バーンイン試験用コネクタの短小化、バーンイン室の狭小化が図れ、バーンイン試験装置の小型化が達成できる。

【0093】(電子装置)

(1) 本実施例のBGA型半導体装置を実装基板に実装してなる電子装置においては、BGA型半導体装置の実装部分はハンダバンプからなる突起電極によることと、前記ハンダバンプの表面にはバーンイン試験時および突起電極形成時に起因する酸化膜発生がないことから、実装基板の接続パッドにおけるハンダの濡れ性が良好となり、ハンダ濡れ不足に起因する実装不良が発生しなくなり、実装の信頼性が高くなる。

【0094】(2) 本実施例のBGA型半導体装置を実装基板に実装してなる電子装置においては、前記BGA型半導体装置の配線基板の側面は絶縁膜で被覆されていることから、配線基板の側面に異物が付着しても配線基板の側面に至る配線のショート不良が発生することがなく、電子装置の信頼性が高くなる。

【0095】(3) 本実施例のBGA型半導体装置を実装基板に複数近接実装してなる電子装置においては、前記BGA型半導体装置の配線基板の側面は絶縁膜で被覆されていることから、隣り合うBGA型半導体装置を接触配置実装することが可能となる。この結果、同一実装基板の場合にはより多くのBGA型半導体装置を実装できる。また、実装するBGA型半導体装置等の数が限定する場合は、実装基板の小型化を図ることができる。

【0096】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない、すなわち、前記実施例では、動作試験において、配線基板の一周縁をバーンイン試験装置のソケットに装着して、ソケットの測定端子と配線基板の一周縁に設けたバーンイン試験用端子との電気的接触を得るようにしているが、バーンイン試験装置のソケットの測定端子を、配線基板の裏面に形成されたアレイ状に配列した突起電極を形成しない前の電極に接触させてバーンイン試験を行っても、前記実施例同様な効果が得られる。

【0097】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるプラスチックボールグリッドアレイ型半導体装置の製造技術に適用した場合について説明したが、それに限定されるものではない。たとえば、封止体としては金属製のものあるいはセラミックのような他の封止体であっても良い。

本発明は少なくとも配線基板の一面に酸化し易い突起電極をアレイ状に配設してなる電子部品や電子装置に適用できる。

【0098】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。配線基板の主面に封止体を有しかつ裏面にアレイ状に突起電極を有するボールグリッドアレイ型半導体装置（BGA型半導体装置）の製造方法において、配線基板の主面側に封止体を形成した後、非酸化（窒素）性雰囲気下でハンダバンプからなる突起電極を形成し、その後動作試験を行う。これにより、前記突起電極の表面の酸化膜は薄い自然酸化膜のみとなり、動作試験時、測定端子と突起電極とのコンタクト抵抗が低くなり試験が安定する。また、BGA型半導体装置の実装も表面酸化膜が薄い突起電極によるため、ハンダバンプの濡れ不足もなくなり、実装の信頼性が高くなる。

【図面の簡単な説明】

【図1】本発明の一実施例によるBGA型半導体装置の製造工程を示すフローチャートである。

【図2】本実施例によるBGA型半導体装置を示す一部を断面とした正面図である。

【図3】本実施例のBGA型半導体装置の製造におけるチップ固定状態を示す模式的図である。

【図4】本実施例のBGA型半導体装置の製造に使用する配線基板の模式的平面図である。

【図5】本実施例のBGA型半導体装置の製造に使用する多連構造の配線基板の模式的平面図である。

【図6】本実施例のBGA型半導体装置の製造に使用する多連構造の配線基板の一部を示す模式的断面図である。

【図7】本実施例のBGA型半導体装置の製造において、半導体チップの取り付けと、ワイヤボンディングを行った配線基板を示す模式的平面図である。

【図8】本実施例のBGA型半導体装置の製造において、半導体チップの取り付けと、ワイヤボンディングを行った状態の配線基板を示す模式的断面図である。

【図9】本実施例のBGA型半導体装置の製造において、配線基板の主面側を封止体で覆った状態を示す正面図である。

【図10】本実施例のBGA型半導体装置の製造において、半導体チップを搭載した単体の配線基板のバーンイン試験状態を示す模式的正面図である。

【図11】本実施例のBGA型半導体装置の製造において、半導体チップを搭載した単体の配線基板のバーンイン試験状態を示す模式的側面図である。

【図12】本実施例のBGA型半導体装置の製造において、半導体チップを搭載した多連構造の配線基板のバー

ンイン試験状態を示す模式的正面図である。

【図13】本実施例のBGA型半導体装置の製造において、半導体チップを搭載した多連構造の配線基板のバーンイン試験状態を示す模式的側面図である。

【図14】本実施例のBGA型半導体装置の製造において、配線基板の周縁部分を切除去して封止体付配線基板を形成した状態を示す模式的図である。

【図15】本実施例のBGA型半導体装置の製造において、配線基板の裏面に外部電極を形成して完成品形態とさせたBGA型半導体装置を示す正面図である。

【図16】本実施例のBGA型半導体装置の製造において、BGA型半導体装置の機能試験状態を示す模式的図である。

【図17】本実施例のBGA型半導体装置の製造におけるBGA型半導体装置の機能試験時の外部電極と測定端子との接触状態を示す模式的拡大断面図である。

【図18】本実施例によるBGA型半導体装置の実装状態、すなわち本発明の電子装置の一部を示す断面図である。

【図19】本実施例による電子装置の一部を示す拡大断面図である。

【図20】本実施例によるBGA型半導体装置を相互に接触するように複数近接実装した状態を示す模式的断面図である。

【図21】従来のBGA型半導体装置を示す模式的断面図である。

【図22】従来のBGA型半導体装置の実装状態を示す模式的断面図である。

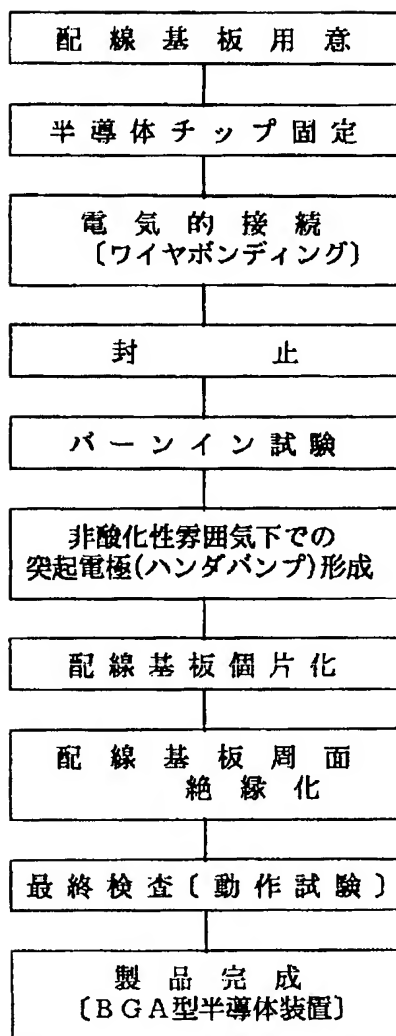
【図23】従来のBGA型半導体装置の製造におけるBGA型半導体装置の機能試験時の外部電極と測定端子との接触状態を示す模式的拡大断面図である。

【符号の説明】

1…配線基板、1a…主面、1b…裏面、2…半導体チップ（半導体素子）、3…電極、4…配線、5…ボンディングパッド、6…ワイヤ（接続手段）、7…封止体（パッケージ）、8…電極、9…突起電極、9a…ハンダバンプ、9b…外部電極、10…BGA型半導体装置（プラスチックBGA型半導体装置）、12…絶縁膜、13…導体、15…実装基板、16…接続パッド、17…酸化膜、18…測定端子、19…ソルダーレジスト膜、20…BGA型半導体装置形成領域、21…除去領域、22…バーンイン試験用端子、25…接着剤、26…チップ固定部、30…接着ペースト、31…接着体、32…パッケージ付配線基板、40…バーンインボード、41…コネクター、42…バーンイン室、45…BGA型半導体装置形態品、50…ソケット、51…ソケット本体、60…電子装置、65…ハンダ接合体。

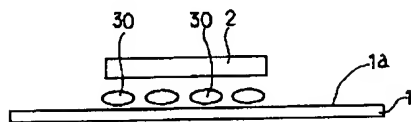
【図1】

図1



【図3】

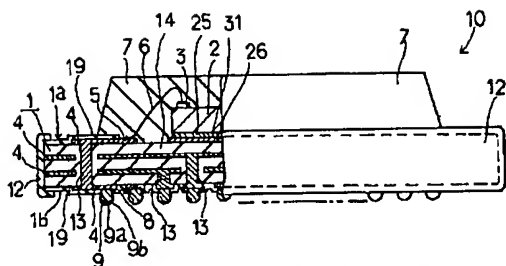
図3



1…配線基板 2…半導体チップ 30…接着ペースト

【図2】

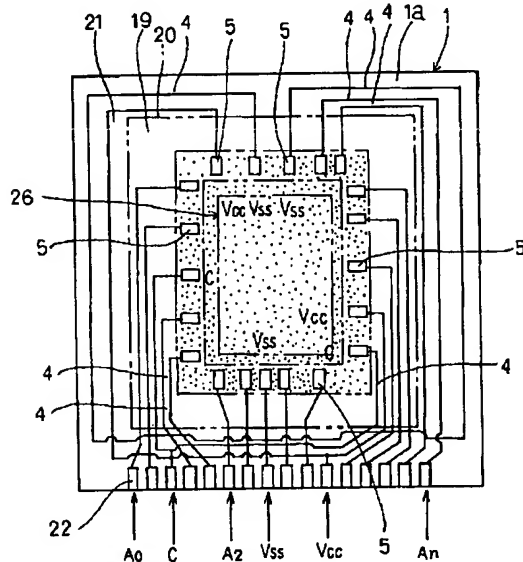
図2



1…配線基板 1a…主面 1b…裏面 2…半導体チップ
 3…電極 4…配線 6…ワイヤ 7…封止体
 9…突起電極 10…BGA型半導体装置 12…絶縁膜

【図4】

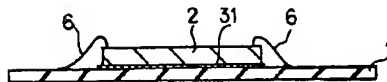
図4



1…配線基板 4…配線 ボンディングパッド
 20…BGA型半導体装置形成領域
 21…除去領域

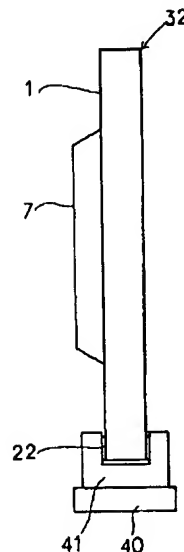
【図8】

図8



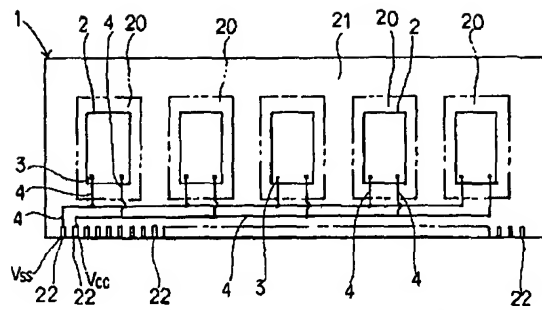
【図11】

図11



【図5】

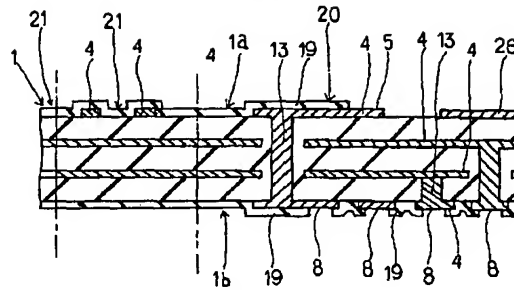
図5



1…配線基板 2…半導体チップ 3…電極 4…配線
 20…BGA型半導体装置形成領域 21…除去領域
 22…バーニン試験用端子

【図6】

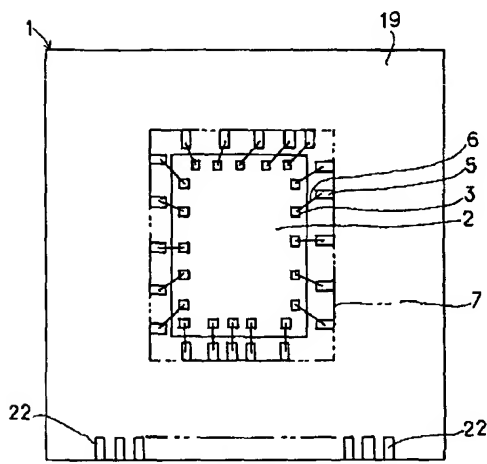
図6



1…配線基板 1a…主面 1b…裏面 4…配線

【図7】

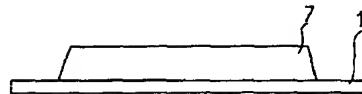
図7



2…半導体チップ 3…電極 6…ワイヤ 7…封止体
 22…バーニン試験用端子

【図9】

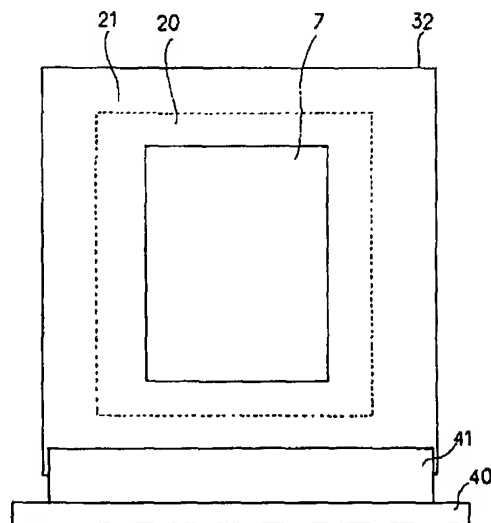
図9



1…配線基板 7…封止体

【図10】

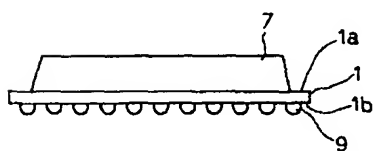
図10



7…封止体 32…パッケージ付配線基板
 41…コネクター

【図15】

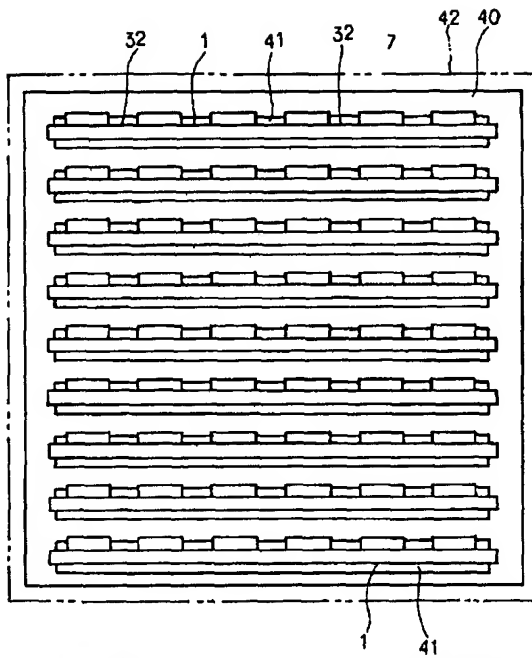
図15



1…配線基板 7…パッケージ 9…突起電極

【図12】

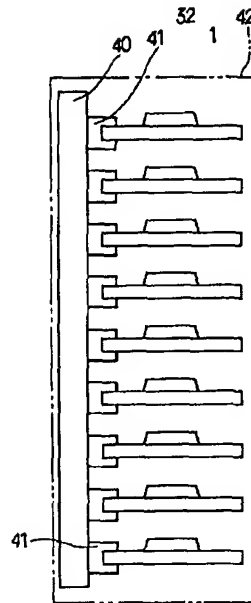
図12



1…配線基板 7…パッケージ 32…パッケージ付配線基板
40…パイイレボード 41…コネクター
42…バーンイン室

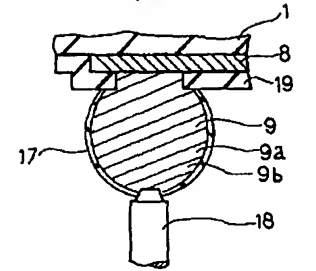
【図13】

図13



【図17】

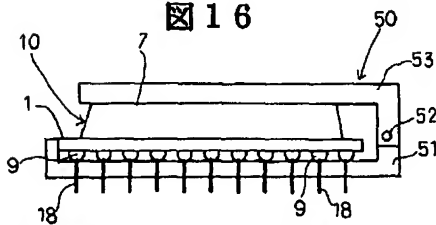
図17



1…配線基板 8…導電層 9…突起電極
17…酸化膜 18…測定端子

【図16】

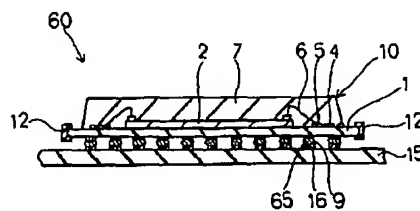
図16



1…配線基板 7…パッケージ 9…突起電極
10…BGA型半導体装置 18…測定端子 50…ソケット

【図18】

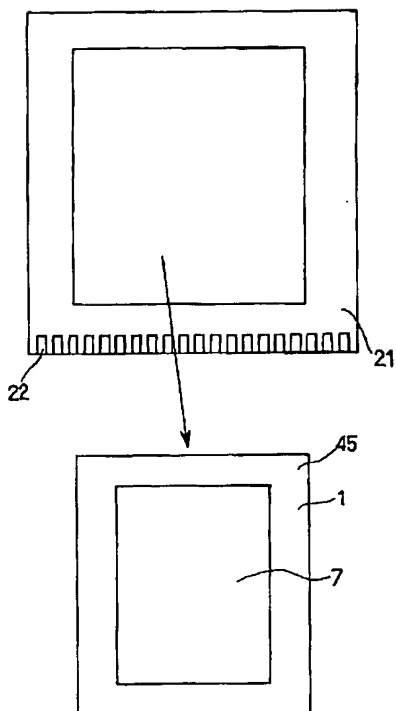
図18



1…配線基板 10…BGA型半導体装置
12…絶縁膜 15…実装基板 65…半田接合体

【図14】

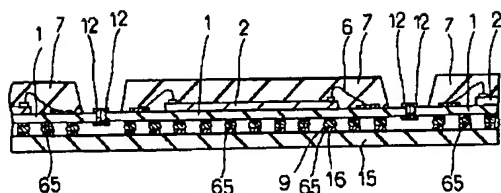
図14



21…除去領域 22…バーンイン試験用端子
45…BGA型半導体装置外形

【図20】

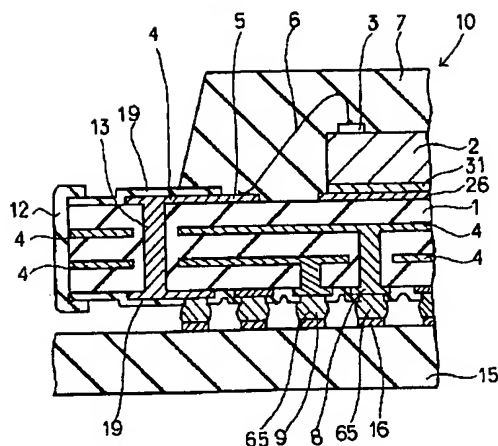
図20



1…配線基板 10…BGA型半導体装置
12…絶縁膜 15…実装基板

【図19】

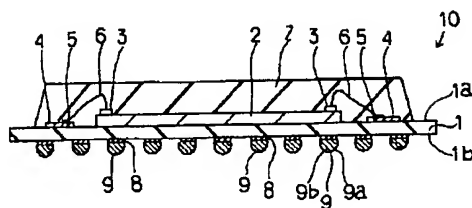
図19



10…BGA型半導体装置 9…突起電極
15…実装基板 65…半田接合体

【図21】

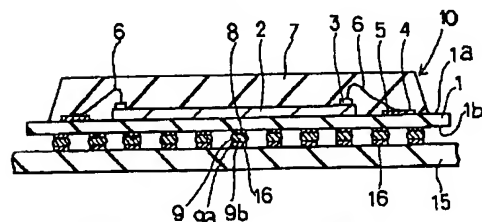
図21



1…配線基板 1a…主面 2…半導体チップ 3…電極
4…配線 6…ワイヤ 7…封止体 9…突起電極
9a…ハンダパンプ 9b…外部電極
10…BGA半導体装置

【図22】

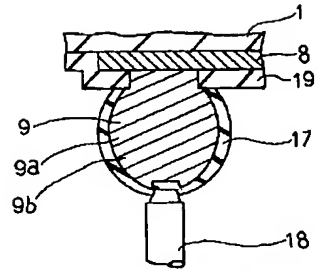
図22



1…配線基板 8…電極 9…突起電極
10…BGA型半導体装置 15…実装基板 16…接続パッド

【図 23】

図 23



1…配線基板 8…電極 9…突起電極
 17…酸化膜 18…測定端子

フロントページの続き

(51) Int. Cl. ⁶

識別記号

庁内整理番号
 9169-4M

F I

H 0 1 L 21/92

技術表示箇所

6 0 4 T